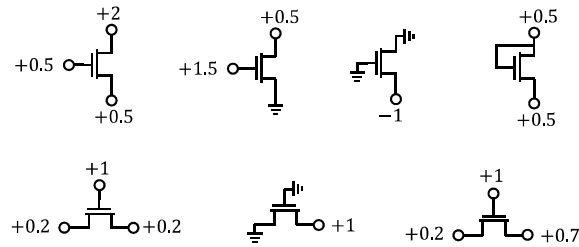
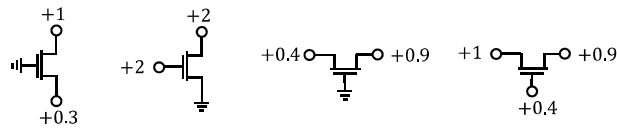



تحویل مسایل ستاره‌دار (*) الزامی نیست.

۱- در مدارهای زیر nMOS با $V_{Tn} = 0.4$ قرار دارد. ابتدا پایه‌ی S و D را یافته، سپس ناحیه‌ی کاری ترانزیستورها را مشخص کنید.



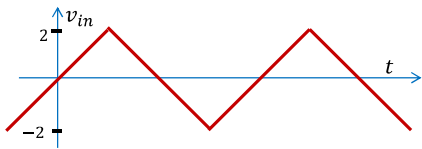
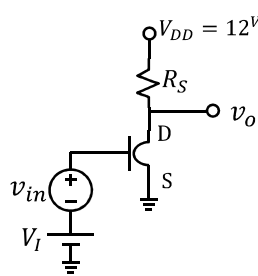
۲- در مدارهای زیر pMOS با $V_{Tp} = -0.4$ قرار دارد. ابتدا پایه‌ی S و D را یافته، سپس ناحیه‌ی کاری ترانزیستورها را مشخص کنید.



۳- یکی از دانشجویان نخبه‌ی برق شریف در آزمایشگاه ترانزیستوری ساخته و اسم آنرا SUTFET گذاشته و نماد  را برای آن انتخاب کرده.

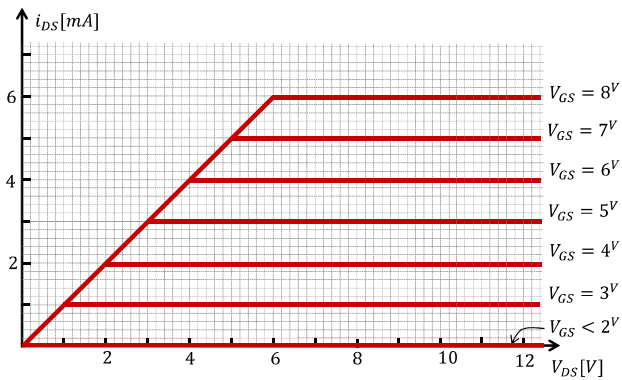
دانشجوی دیگری مشخصه‌ی این ترانزیستور را بر روی *curve-tracer* بصورت زیر ثبت کرده است!

حال از شما خواسته شده ولتاژ مثلی (v_{in}) با دامنه‌ی ۲ ولت را با استفاده از این ترانزیستور تقویت کنید. مدار شکل روبرو به شما پیشنهاد شده.



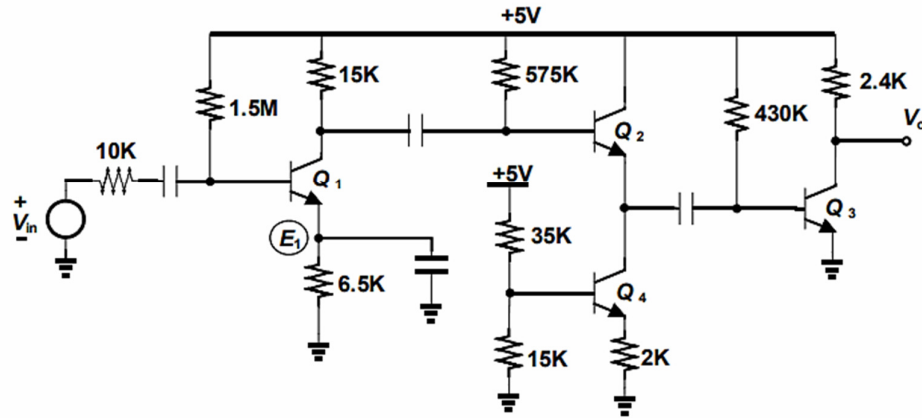
الف) به نظر شما برای آنکه در خروجی ولتاژ مثلی با بیشترین دامنه دیده شود، V_I و R_D چقدر باید اختیار شود؟ در این حالت بهره‌ی مدار چقدر است؟

ب) آیا به ازای دامنه‌های اندک ورودی بهره‌ی مدار تابع V_I است؟



(*) ۴-

یک تقویت کننده با دو طبقه تقویت در شکل ۱۸-۳ داده شده. (الف) هر یک از ترانزیستورهای Q_1 ، Q_2 و Q_3 چه نوع طبقه ای را تشکیل داده اند؟ (ب) چرا ترانزیستور Q_3 از روش self-bias (تثبیت جریان کالکتور) بایاس نشده است؟ (ج) ترانزیستور Q_4 چه وظیفه ای در مدار دارد. (د) نقطه کار ترانزیستورهای مدار را محاسبه کنید. (ه) ضریب تقویت ولتاژ مدار را محاسبه کنید. (و) حداکثر swing در خروجی را حساب کنید. (ز) مقاومت ورودی مدار چقدر است؟ اگر یک بافر CC در ورودی قرار می دادیم چقدر ضریب تقویت مدار افزایش پیدا می کرد؟



شکل ۱۸-۳

ساختار مدار شکل ۱۸-۳ را در نظر بگیرید همه مقاومت های مدار را چنان دوباره طراحی کنید که تقویت کننده دارای مشخصات زیر باشد:

(*) ۵-

خروجی دارای حداکثر swing ممکن و $A_v \geq 10000$ ضریب تقویت ولتاژ
 $P \leq 1mW$ حداکثر توان مصرفی

ضریب تقویت و swing در خروجی مدار طراحی شده چقدر می باشد؟ طراحی خود را با SPICE تأیید کنید.