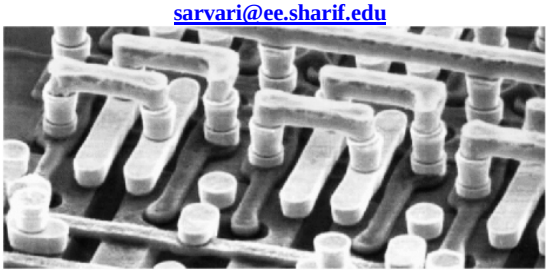
Introduction to VLSI Interconnect Design

درس مباحث ویژه در مدارهای مجتمع خیلی فشرده

زمان شنبه و دوشنبه‌ها ۱:۳۰ الی ۳:۰۰

رضا سروری

sarvari@ee.sharif.edu



از زمان اختراع نخستین مدارمجتمع بسال ۱۹۵۸ توسط "جک کیلبی" تا به امروز، این مدارات با نرخی باورنکردنی در حال ریزترشدن هستند، آنچه به "قانون مور" شناخته می‌شود و رشدی نمایی در کارایی مدارات‌مجتمع را سبب شده است. اتفاقی که حداقل یک دهه‌ی دیگر نیز ادامه خواهدداشت. در این میان از عمده مشکلات بر سر راه "قانون مور" یکی تلفات‌توان/انتقال‌حرارت و دیگری اینترکانکت‌ها (اتصالات-Interconnects) می‌باشند. مانند ترنزیستورها، از نسلی به نسل دیگر، سطح مقطع سیم‌های فلزی درون ICها کوچک‌تر می‌شوند، اما برخلاف ترنزیستورها این موجب کاهش کارایی سیم‌ها می‌شود. تا به آنجا که در مدارات زیرِمایکرونی تاخیر حاصل از اینترکانکت‌ها از ترنزیستورها بیشتر شده و فاکتور غالب در تعیین کارایی تراشه خواهند بود. امروزه در CPUی استفاده شده در کامپیوتر شخصی شما بر سر یک لایه ترنزیستورهای ساخته شده بر روی سیلیکن، تا ۱۲ لایه سیم‌های مسی قرار گرفته اند. این سیم‌ها وظیفه‌ی انتقال اطلاعات، توزیع clock، و رساندن تغذیه در سراسر تراشه را برعهده دارند.

در این درس به طراحی و مدل‌سازی اینترکانکت‌های فلزی که امروزه در مدارات مجتمع خیلی فشرده استفاده می‌شوند، پرداخته میشود. با مدل‌سازی اینترکانکت‌ها و در نظر گرفتن پارامترهایی از قبیل تأخیر، نرخ بیت، و تلفِ‌توان به روشی برای بهینه‌سازی یک ساختار چندلایه از اینترکانکت‌ها می‌رسیم. در پایان، تکنولوژی‌های جدیدی که قابلیت جایگزینی سیم‌های مسی را دارند معرفی خواهندشد.

این درس برای کیست؟ دانشجویان علاقمند سال آخر کارشناسی و دانشجویان تحصیلات تکمیلی گرایش‌های الکترونیک، نانوتکنولوژی و مخابرات میدان. آشنایی قبلی با درس‌های «ساختار کامپیوتر» و «تئوری خط انتقال» به فهم درس کمک می‌کند، هر چند به عنوان پیش‌نیاز ضروری نیست. منابع، نحوه‌ی نمره‌دهی، و سرفصل‌های درس به قرار زیرند. منابع حتی‌الامکان به صورت دیجیتال در اختیار دانشجویان قرار می‌گیرد. برای اطلاعات بیشتر می‌توانید با آدرس ای‌میل بنده sarvari@ee.sharif.edu تماس گرفته و یا به صفحه‌ی وب من در http://ee.sharif.edu/~sarvari مراجعه کنید.

Required Text/Reference Material:

- H. B. Bakoglu, *Circuits, Interconnections, and Packaging for VLSI*, Addison-Wesley Publishing Company.
- J. A. Davis, J. D. Meindl, *Interconnect Technology and Design for Gigascale Integration*, Kluwer Academic Publishers.
- Nurmi, J.; Tenhunen, H.; Isoaho, J.; Jantsch, A., *Interconnect-Centric Design for Advanced SOC and NOC*, Springer.
- C.-K. Cheng, J. Lillis, S. Lin, N. Chang, *Interconnect Analysis and Synthesis*, Wiley Inter-Science.
- Hall, S.H., G. W. Hall and J. McCall, *High-Speed Digital System Design*, Wiley-Interscience.
- Selected research papers from the literature

Grades (tentative; subject to change):

Final (45%) , Midterm (25%) , Homework and Project (30%)

Course Outline:

3 sessions: (**Review of VLSI technology**)
- Moore's Law
- Trends and challenges in scaling
- Evolution of Interconnect technology
- Future of Interconnects

4 sessions: (**Interconnect Fabrication)**
- Wet substrate etching
- Lift-off technique
- Reactive ion etching
- Dual damascene (copper)
- Limits on wire width (erosion and dishing)

3 sessions: (**Scaling Issues**)
- Device and Interconnect limitations
- Material and circuit solutions
- Electromigration (voids / hillocks)

4 sessions: (**Transmission Line Review + Definitions**)
- Plane wave equations
- TEM Mode for lossless and lossy metal wires
- Inductance (partial inductance, loop inductance)
- Capacitance (decoupling capacitance)
- Resistance (size effects, surface roughness, grain scattering, liners)

7 sessions: (**Interconnects as Transmission Line**)
- Skin effect
- Delay calculations, RC vs RLC line (Elmore delay, Sakurai delay)
- Ramp input
- Noise (victim/source , noise vs. signal rise time) in phase switching , out of phase switching
- Multi level interconnect network
- Repeater insertion (optimal repeater)
- Power dissipation (dynamic power, leakage power, short circuit power) power optimization (Lagrangian Multiplier)
- Power distribution network
- Clock networks
- Bit-rate limitations
- IntSim CAD Tool!

3 sessions: (**Novel Solutions**)
- Optical Interconnect
- Carbon Nanotubes/ Graphene vs. Copper wires